

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月28日

出願番号

Application Number:

特願2000-399689

出願人

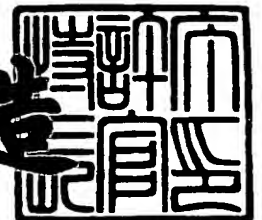
Applicant(s):

日本電気株式会社

2001年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3083263

【書類名】 特許願

【整理番号】 71110438

【提出日】 平成12年12月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 3/037

【発明の名称】 スキャンフリップフロップ回路

【請求項の数】 3

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 神庭 康二

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキャンフリップフロップ回路

【特許請求の範囲】

【請求項 1】 通常入力端子をもつ第 1 のマスターラッチ回路と、テスト入力端子をもつ第 2 のマスターラッチ回路と、スレーブラッチ回路とをもつフリップフロップ回路において、

前記スレーブラッチ回路は、前記第 1 のマスターラッチ回路の出力端子から当該スレーブラッチ回路の出力端子への信号パスの間に制御回路をもっており、

前記制御回路は前記第 1 のマスターラッチのクロック信号とは独立したクロック信号で制御される

ことを特徴とするスキャンフリップフロップ回路。

【請求項 2】 前記制御回路は、前記第 2 のマスターラッチ回路に入力されるクロック信号と同一のクロック信号によりタイミング制御されることを特徴とする請求項 1 に記載のスキャンフリップフロップ回路。

【請求項 3】 前記制御回路は、前記第 2 のマスターラッチ回路に入力されるクロック信号の値に応じて、前記第 1 のマスターラッチ回路への入力信号がそのまま前記スレーブラッチ回路の出力側に出力されることを阻止することを特徴とする請求項 2 に記載のスキャンフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特にスキャンフリップフロップ回路に関する。

【0002】

【従来の技術】

L S I (大規模集積回路, Large Scale Integration) の故障検出するテストとしてスキャンテストがある。スキャンテストを行うための従来技術によるスキャンフリップフロップは、例えば、特開平 1 - 9 6 5 7 3 号公報などに記載されている。

【 0 0 0 3 】

従来のスキャンフリップフロップ回路を図 3 を用いて説明する。図 3 (a) は従来のスキャンフリップフロップ回路の回路図、図 3 (b) はこのスキャンフリップフロップ回路の動作を示すタイミングチャートである。

【 0 0 0 4 】

従来のスキャンフリップフロップ回路は、一般的なフリップフロップ回路に単純な切り替え制御回路（セクタ回路 9）を付加した構成になっていた。通常動作時は、 $SEL = 0$ とすることによりセクタ回路 9 の D 端子に切り替えて D からの通常論理信号をマスターラッチ 1 0 に入力することができる。また、スキャンテスト時は、 $SEL = 1$ とすることによりセクタ回路 9 の S I N 端子に切り替えて S I N からのテスト信号をマスターラッチ 1 0 に入力することができる。

【 0 0 0 5 】

従来のスキャンフリップフロップを用いたスキャンテストの方法を図 4 を用いて説明する。図 4 (a) はスキャンテストのための回路図、図 4 (b) はこの回路の動作を示すタイミングチャートである。

【 0 0 0 6 】

$SEL 1 = 1$ 、 $SEL 2 = 1$ として $CLK 1$ 、 $CLK 2$ に同一クロックを入力することによりスキャンシフト動作を行ない、S I N からのテストデータをスキャンフリップフロップ 1 3 に格納する。格納された値は、出力端子 Q 1 から別のスキャンフリップフロップ 1 5 の D 2 へ至る。ここまでの動作を以後スキャンシフト動作と呼ぶことにする。

【 0 0 0 7 】

その後、 $SEL 1 = 0$ 、 $SEL 2 = 0$ として $CLK 1$ および $CLK 2$ に同一クロックを 1 回 ($0 \rightarrow 1 \rightarrow 0$) 入力することにより、受け側のスキャンフリップフロップ 1 5 は D 2 端子から信号を受け取ることができる。ここまでの動作を以後スキャンサンプル動作と呼ぶ。

【 0 0 0 8 】

この受け側のスキャンフリップフロップ 1 5 で受け取った信号値を観測することにより、組み合わせ回路 1 4 の故障を検出する。

【 0 0 0 9 】

【発明が解決しようとする課題】

上記のような従来のスキャンフリップ回路の場合、テスト論理をスキャンフリップフロップ間で転送する際（前述のスキャンサンプル動作）に、送信側のフリップフロップと受信側のフリップフロップは1相クロックで動作させるためにクロックスキューの影響によりレーシングが発生し、正しくテスト論理の転送が行えないという問題がある。

【 0 0 1 0 】

このレーシングによる誤動作は特に、テスト論理の転送を行うスキャンフリップフロップ同志が、異なるクロック信号で動作している場合に、極めて発生しやすくなる。

【 0 0 1 1 】

このレーシングによる誤動作を図4を用いて詳しく説明する。SEL1=1、SEL2=1としてCLK1にクロック入力することにより、スキャンフリップフロップ13にテスト値の設定を行う。そしてSEL1=0、SEL2=0としてCLK1とCLK2に同一クロックを入力することにより、スキャンフリップフロップ15に組み合わせ回路14のテスト結果が格納されるのが本来の正常動作である。

【 0 0 1 2 】

しかしながら、スキャンフリップフロップ15にテスト結果を格納するときのクロック入力において、CLK1に対しCLK2のクロックが遅れた場合、スキャンフリップフロップ15はスキャンフリップフロップ13の値ではなくスキャンフリップフロップ13への入力であるD1の値がスキャンフリップフロップ13を突き抜けて組み合わせ回路14から出力された値を受け取ってしまうことになる。

【 0 0 1 3 】

本発明は、上記のような事情を考慮してなされたものであり、クロックの競合の問題が起こることなく正しくテストを行うことのできるフリップフロップ回路を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

上記の課題を解決するために、本発明は、通常入力端子をもつ第1のマスターラッチ回路と、テスト入力端子をもつ第2のマスターラッチ回路と、スレーブラッチ回路とをもつフリップフロップ回路において、前記スレーブラッチ回路は、前記第1のマスターラッチ回路の出力端子から当該スレーブラッチ回路の出力端子への信号パスの間に制御回路をもっており、前記制御回路は前記第1のマスターラッチのクロック信号とは独立したクロック信号で制御されることを特徴とするスキャンフリップフロップ回路を要旨とする。

上記のような構成によれば、スキャンフリップフロップ回路がスキャンテスト時のスキャンサンプル動作を2相クロックで行うことにより、レーシングによる誤動作の発生を抑えることができる。

【 0 0 1 5 】

また、本発明のスキャンフリップフロップ回路においては、前記制御回路は、前記第2のマスターラッチ回路に入力されるクロック信号と同一のクロック信号によりタイミング制御されることを特徴とする。

【 0 0 1 6 】

さらに、本発明のスキャンフリップフロップ回路においては、前記制御回路は、前記第2のマスターラッチ回路に入力されるクロック信号の値に応じて、前記第1のマスターラッチ回路への入力信号がそのまま前記スレーブラッチ回路の出力側に出力されることを阻止することを特徴とする。

【 0 0 1 7 】

【発明の実施の形態】

次に、本発明の第1の実施形態について図1を参照して詳細に説明する。図1(a)は同実施形態によるスキャンフリップフロップ回路を示す回路図、図1(b)はこのスキャンフリップフロップの動作タイミングを示すタイミングチャートである。

【 0 0 1 8 】

図1(a)に示すように、このスキャンフリップフロップ回路においては、通

常論理Dが入力されるマスターラッチ回路1とテスト論理SINが入力されるマスターラッチ回路2があり、それらのマスターラッチ回路は単一のスレーブラッチ回路3に接続されている。

【0019】

マスターラッチ回路1の出力からスレーブラッチ回路3の出力Qのパス上には、マスターラッチ回路1からくる信号がスルーでQへ出力されないような制御回路16を含む構成になっている。さらに、CLK信号とSC2信号は全く独立したクロック信号が入力される構成になっている。

【0020】

次に、図1(b)を参照しながら、具体的な回路動作を説明する。スキャンサンプル動作（従来の技術参照）の場合、次のようになる。

【0021】

まず、SC1=0と設定して、CLK=0→1としてDの値をマスターラッチ回路1へ取り込んでラッチさせる。次にSC2=0→1としてマスターラッチ回路1の値をスレーブラッチ回路3を通してQへ出力させる。

【0022】

つまり、制御回路16は、マスターラッチ回路2に入力されるクロック信号と同一のクロック信号によりタイミング制御される。また、制御回路16は、マスターラッチ回路2に入力されるクロック信号の値に応じて、マスターラッチ回路1への入力信号がそのままスレーブラッチ回路3の出力側に出力されることを阻止する。

【0023】

このように制御回路16により、CLKとSC2の2相クロックでそれぞれマスターラッチ回路1とスレーブラッチ回路3を独立に制御できるので、レーシングによる誤動作を防ぐことができる。

【0024】

次に、本発明の第2の実施形態について図2を参照して詳細に説明する。図2(a)は同実施形態によるスキャンフリップフロップ回路を示す回路図、図2(a)はこの回路による動作のタイミングを示すタイミングチャートである。

【 0 0 2 5 】

第 2 の実施形態は、SET 付フリップフロップに対して本発明を適用しスキャンフリップフロップ回路を構成したものである。図 2 (a) に示すように、この回路には、通常論理 D が入力されるマスターラッチ回路 5 とテスト論理 SIN が入力されるマスターラッチ回路 6 があり、それらのマスターラッチ回路は単一のスレーブラッチ回路 7 に接続されている。

【 0 0 2 6 】

マスターラッチ回路 5 の出力からスレーブラッチ回路 7 の出力 Q のパス上には、マスターラッチ回路 5 からくる信号がスルーで Q へ出力されないような制御回路 17 を含む構成になっている。さらに、CLK 信号と SC 2 信号は全く独立したクロック信号が入力される構成になっている。

【 0 0 2 7 】

次に、図 2 (b) を参照しながら具体的な回路動作を説明する。スキャンサンプル動作（従来の技術参照）の場合、次のようになる。まず、SC 1 = 0 と設定して、CLK = 0 → 1 とし D の値をマスターラッチ回路 5 へ取り込んでラッチさせる。次に SC 2 = 0 → 1 としマスターラッチ回路 5 の値をスレーブラッチ回路 7 を通して Q へ出力させる。

【 0 0 2 8 】

つまり、制御回路 17 は、マスターラッチ回路 6 に入力されるクロック信号と同一のクロック信号によりタイミング制御される。また、制御回路 17 は、マスターラッチ回路 6 に入力されるクロック信号の値に応じて、マスターラッチ回路 5 への入力信号がそのままスレーブラッチ回路 7 の出力側に出力されることを阻止する。

【 0 0 2 9 】

このように制御回路 17 により CLK と SC 2 の 2 相クロックでそれぞれマスターラッチ回路 5 とスレーブラッチ回路 7 を独立に制御できるので、レーシングによる誤動作を防ぐことができる。

【 0 0 3 0 】

以上、図面を参照してこの発明の実施形態を詳述してきたが、具体的な構成は

これらの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【0031】

【発明の効果】

以上説明したように、この発明によれば、スレーブラッチ回路は、第1のマスターラッチ回路の出力端子から当該スレーブラッチ回路の出力端子への信号パスの間に制御回路をもっているため、第1のマスターラッチ回路の入力信号がスレーブラッチ回路の出力にスルーしてしまうことを防ぐことができる。

また、前記制御回路は第1のマスターラッチのクロック信号とは独立したクロック信号で制御されるため、スキャンテスト時のスキャンサンプル動作を2相クロックで行うことにより、レーシングによる誤動作の発生を抑えることができる。

これにより、特に異なるクロックで動作するスキャンフリップフロップ間のスキャンテストを安定して行うことができるようになる。

【図面の簡単な説明】

【図1】 (a) 本発明の第1の実施形態によるスキャンフリップフロップ回路の回路図と、(b) 同回路の動作タイミングを表わすタイミングチャートである。

【図2】 (a) 本発明の第2の実施形態によるスキャンフリップフロップ回路の回路図と、(b) 同回路の動作タイミングを表わすタイミングチャートである。

【図3】 (a) 従来技術によるスキャンフリップフロップ回路の回路図と、(b) 同回路の動作タイミングを表わすタイミングチャートである。

【図4】 (a) 従来技術によるスキャンフリップフロップ回路を用いたスキャンテストのための回路の回路図と、(b) 同回路の動作タイミングを表わすタイミングチャートである。

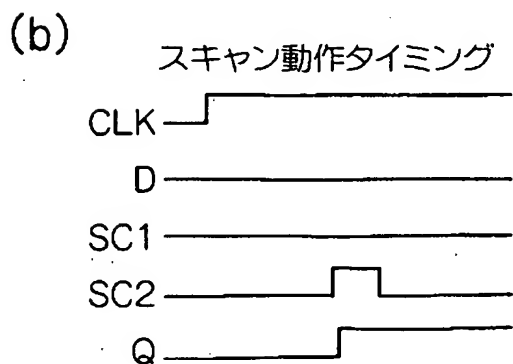
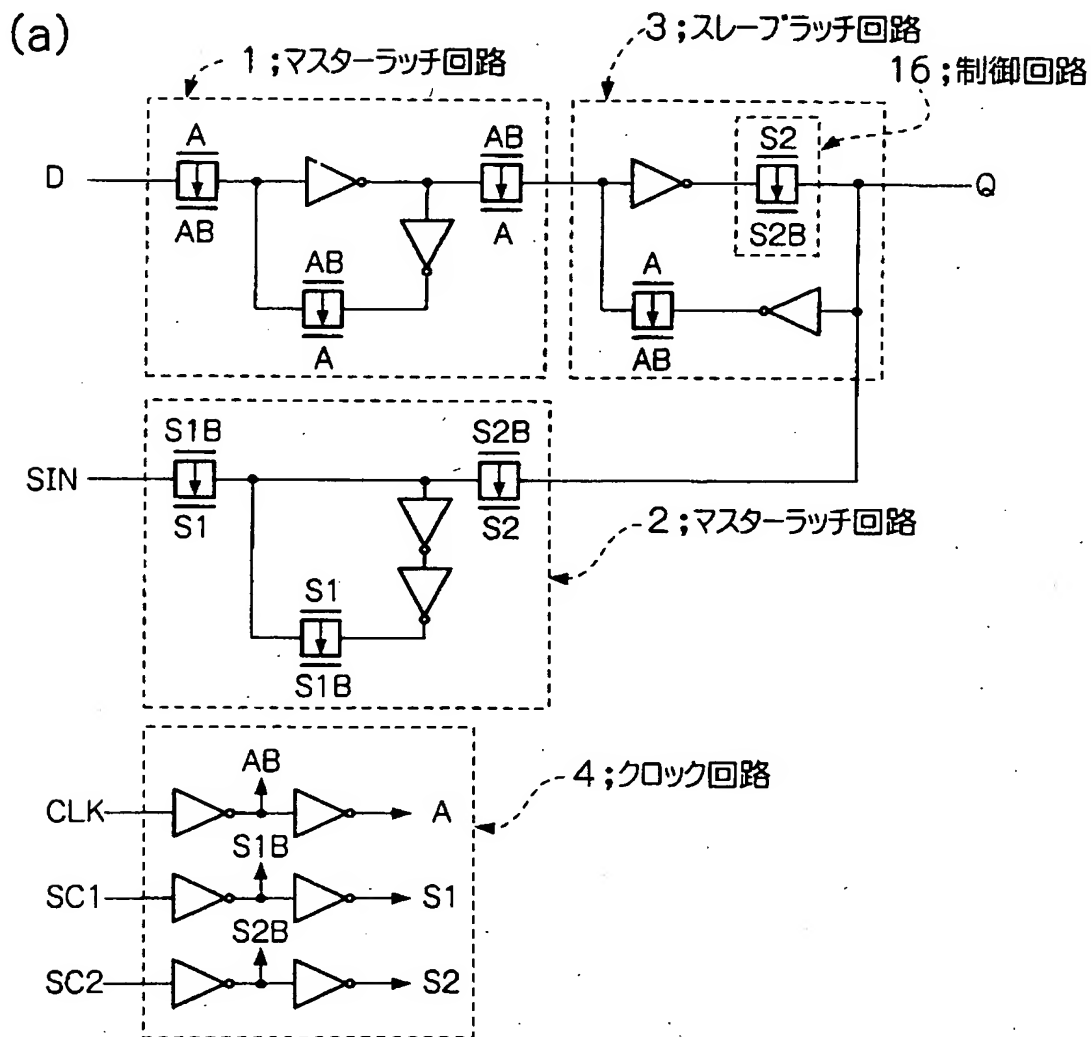
【符号の説明】

- 1, 2 マスターラッチ回路
- 3 スレーブラッチ回路

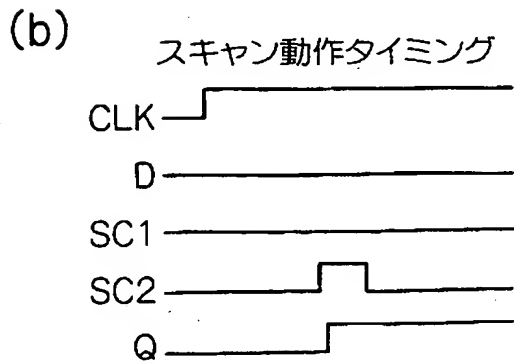
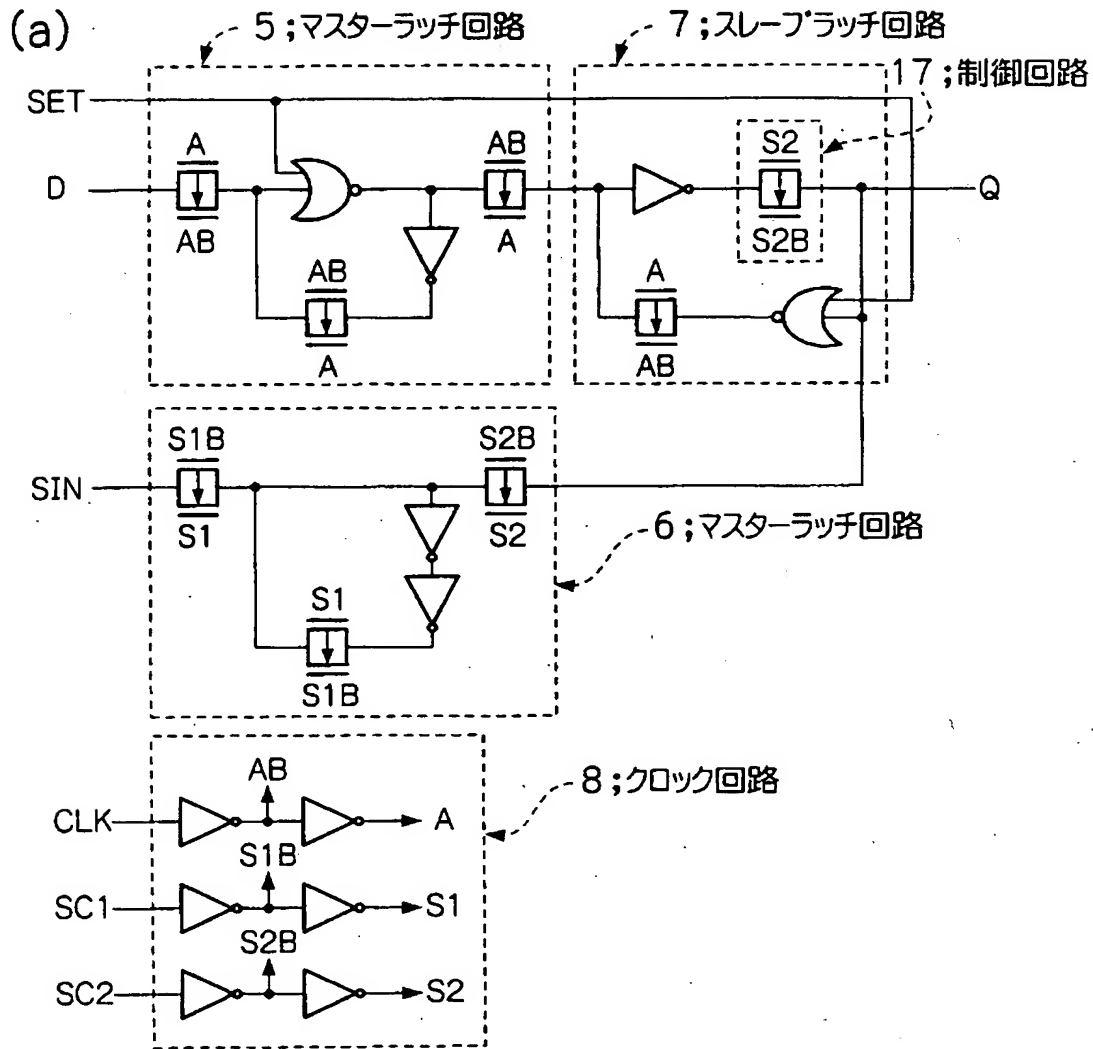
- 4 クロック回路
- 5, 6 マスターラッチ回路
- 7 スレーブラッチ回路
- 8 クロック回路
- 1 3, 1 5 スキャンフリップフロップ
- 1 4 組み合わせ回路
- 1 6, 1 7 制御回路

【書類名】 図面

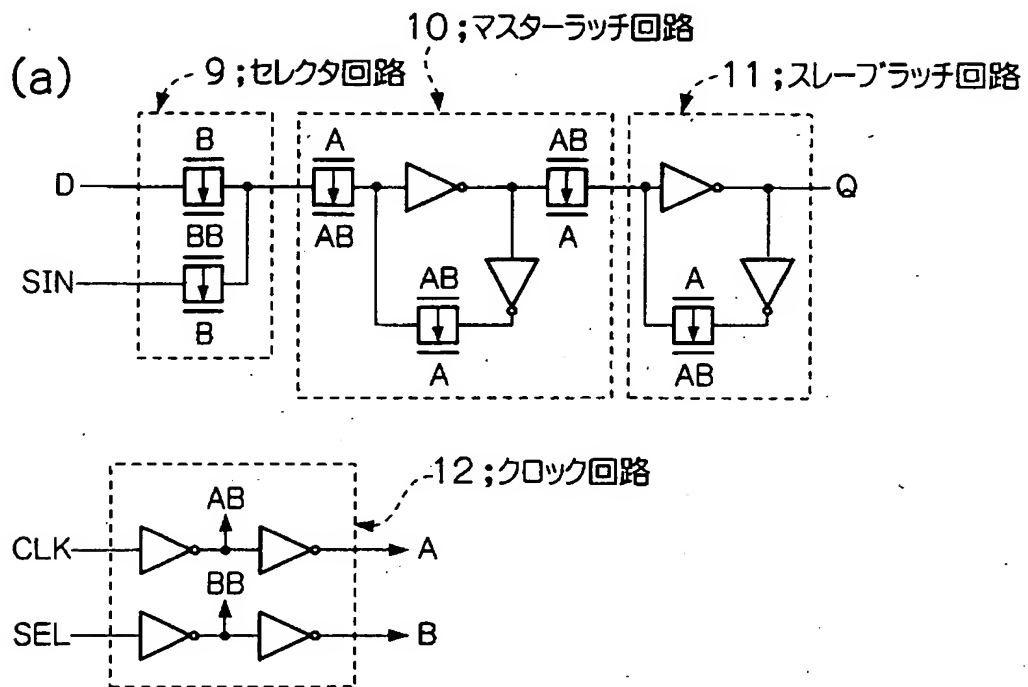
【図 1】



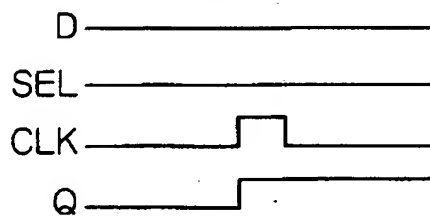
【図 2】



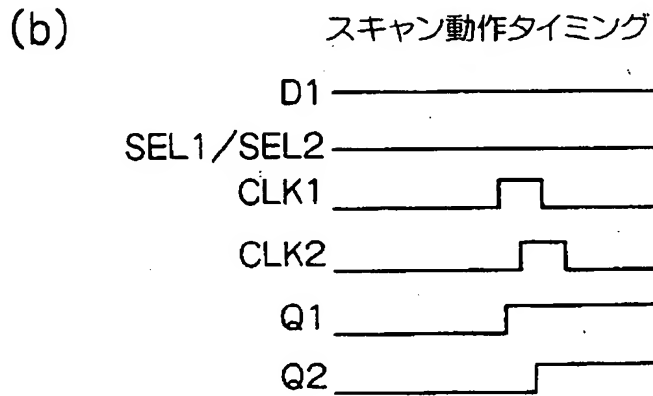
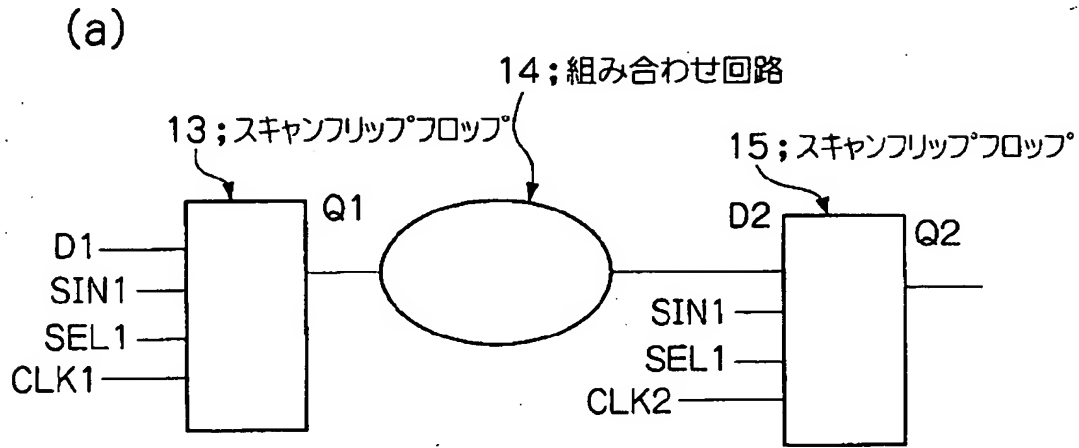
【図 3】



(b) スキャン動作タイミング



【図 4】



【書類名】 要約書

【要約】

【課題】 クロックスキューによる競合の問題が起こることなく正しくテストを行うことのできるスキャンフリップフロップ回路を提供する。

【解決手段】 マスターラッチ回路（１）およびスレーブラッチ回路（３）からなる通常フリップフロップ回路にスキャン用のマスターラッチ回路（２）を付加した回路において、スレーブラッチ回路（３）の部分に制御回路（１６）を設けることにより、マスターラッチとスレーブラッチを独立した２つのクロックにより制御することが可能になり、２相タイミング制御によってクロックスキューによるレーシングを抑えることができる。

【選択図】 図１

認定・付加情報

特許出願の番号	特願 2000-399689
受付番号	50001697109
書類名	特許願
担当官	佐藤 一博 1909
作成日	平成 13 年 1 月 11 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人	
【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歷 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社